

IN THE U.S. PATENT AND TRADEMARK OFFICE

RS
2

7-8-02



Applicant(s): MIN, Kyung Pa

Application No.:

Group:

Filed: November 27, 2001

Examiner:

For: METHOD AND DEVICE FOR CONTROLLING SYSTEM TIME CLOCK OF MPEG
DECODER

LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

November 27, 2001
0465-0803P-SP

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the
applicant hereby claims the right of priority based on the following
application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	P2000-70984	11/27/00

A certified copy of the above-noted application(s) is(are)
attached hereto.

If necessary, the Commissioner is hereby authorized in this,
concurrent, and future replies, to charge payment or credit any
overpayment to deposit Account No. 02-2448 for any additional fees
required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly,
extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 
JOSEPH A. KOLASCH

Reg. No. 22,463

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sll

MIN, Kyung Pa
November 27, 2001
BSKB, LLP
(103) 205-8000
0445-0803P
1 of 1



대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 70984 호
Application Number

출원년월일 : 2000년 11월 27일
Date of Application

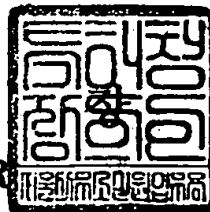
출원인 : 현대전자산업주식회사
Applicant(s)



2000 년 12 월 27 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2000.11.27		
【국제특허분류】	H04L		
【발명의 명칭】	엠펙 디코더의 시스템 타임 클럭 조정 장치 및 방법		
【발명의 영문명칭】	Method and Device for the system time clock control from MPEG Decoder		
【출원인】			
【명칭】	현대전자산업주식회사		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	강용복		
【대리인코드】	9-1998-000048-4		
【포괄위임등록번호】	1999-057814-0		
【대리인】			
【성명】	김용인		
【대리인코드】	9-1998-000022-1		
【포괄위임등록번호】	1999-057815-7		
【발명자】			
【성명의 국문표기】	민경파		
【성명의 영문표기】	MIN,Kyung Pa		
【주민등록번호】	700613-1010813		
【우편번호】	135-240		
【주소】	서울특별시 강남구 개포동 대청아파트 302-503		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강용복 (인) 대리인 김용인 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	9	면	9,000 원

【우선권 주장료】	0	건	0	원
【심사청구료】	11	항	461,000	원
【합계】	499,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 MPEG-2(Moving Picture Experts Group-2) 디코더에서의 멀티 디코딩시에 동기(SYNC)를 맞추는데 기준이 되는 STC(System Time Clock)를 효율적으로 조정할 수 있도록 한 것으로, 그 구성은 n 개의 PCR값(PCR1, PCR2, ..., PCR n) 및 STC값을 받아 그 차를 계산하여 출력하는 제 1 감산부; 현재 PCR값으로 받은 것이 2번 이상 업데이트되었는가를 판단하는 제어부; 상기 제어부의 제어에 의해 PCR값이 2번 이상 업데이트 된 것이 아니면 상기 제 1 감산부의 차를 저장하는 n 개의 DIF 레지스터부 그리고 PCR값이 2번 이상 업데이트된 것이면 상기 제 1 감산부의 출력값과 상기 n 개의 DIF 레지스터부에 저장된 값의 차(GAP)를 계산하여 n 개의 GAP 레지스터부에 저장하는 제 2 감산부; 상기 각 GAP 레지스터부에 저장된 제 2 감산부의 결과 값을 받아 평균값을 구하는 MEAN 계산부; 상기 MEAN 계산부의 출력 값을 로우 패스 필터링 및 이득을 조정하여 출력하는 LPF/이득 조정부; 상기 LPF/이득 조정부에서 로우 패스 필터링된 값을 받아 27MHz 클럭으로 증가시켜 출력하는 전압 제어 발진부 그리고 출력되는 27MHz 클럭을 카운팅하여 상기 제 1 감산부로 출력하는 임시 STC 카운터부를 포함하여 구성된다.

【대표도】

도 5

【색인어】

MPEG, 디코더

【명세서】

【발명의 명칭】

엠펙 디코더의 시스템 타임 클럭 조정 장치 및 방법{Method and Device for the system time clock control from MPEG Decoder}

【도면의 간단한 설명】

도 1은 종래 기술의 클럭 복원 장치의 개략적인 구성도

도 2는 종래 기술의 다른 클럭 복원 장치의 구성도

도 3은 트랜스포트 스트림 선택스의 다이어그램

도 4는 PES 패킷 선택스의 다이어그램

도 5는 본 발명의 제 1 실시예에 따른 시스템 타임 클럭 조정 장치의 구성 블록도

도 6은 본 발명의 제 1 실시예에 따른 STC 조정 방법을 나타낸 플로우 차트

도 7은 본 발명의 제 2 실시예에 따른 시스템 타임 클럭 조정 장치의 구성 블록도

도 8은 본 발명의 제 2 실시예에 따른 STC 조정 방법을 나타낸 플로우 차트

도면의 주요 부분에 대한 부호의 설명

51. 제 1 감산부

52. 제어부

53. DIF 레지스터부

54. 제 2 감산부

55. GAP 레지스터부

56. MEAN 계산부

57. PWM 제어부

58. LPF/이득 조정부

59. 전압 제어 발진부

60. 임시 STC 카운터부

· 【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 MPEG-2(Moving Picture Experts Group-2) 디코더에 관한 것으로서, 특히 멀티 디코딩시에 동기(SYNC)를 맞추는데 기준이되는 STC(System Time Clock)을 효율적으로 조정할 수 있도록한 엠펙 디코더의 시스템 타임 클럭 조정 장치 및 방법에 관한 것이다.
- <16> 일반적으로 디지털 비디오는 영상회의, 영상전화 등 통신분야 뿐만 아니라 컴퓨터 및 가전업계와 같은 많은 응용분야에서 이용될 수 있으며, 특히 디지털 비디오 카세트 레코더와 디지털 비디오 카세트와 같은 디지털 기록 및 재생 장치에서는 디지털 저장 매체 등의 MPEG-2 표준안을 채택하고 있다.
- <17> 상기 MPEG-2 표준안에 따르면, 프로그램 스트림은 비디오, 오디오 및 사용자 데이터 비트 열을 위한 각각의 기본 스트림(elementary stream)으로 되어 있고, 이 기본 스트림은 PES(Packetized Elementary Stream)으로 패킷화되어 있다.
- <18> 한편, 시스템 비트 스트림(bit stream)에는 프로그램 스트림(program stream)과 전송 스트림(transport stream)의 두 가지 종류가 있다.
- <19> 먼저, 프로그램 스트림은 에러가 상대적으로 적은 콤팩트 디스크 및 멀티 미디어 응용에서 사용되고, 전송 스트림은 에러가 존재하는 방송 및 손실성 매체 등에서 사용된다.
- <20> 그러므로, MPEG-2 디코더에서 시스템 비트 스트림을 복호화하는 방식에는 전송 스

- 트림 디코더와 프로그램 스트림 디코더가 있으며, 전송 스트림 디코더에는 프로그램 클럭 기준(PCR : Program Clock Reference)이 사용되고, 프로그램 스트림 디코더에는 시스템 클럭 기준(SCR : System Clock Reference)이 사용된다.
- <21> 여기서, PCR과 SCR은 사용되는 경우만 다르지 의미는 동일하다.
- <22> 이러한 클럭 기준들의 목적은 디코더의 클럭과 입력 비트 스트림의 클럭의 동기 및 오디오와 비디오의 프리젠테이션 동기(PS : Presentation Synchronization)를 위해서이다.
- <23> 이하, 첨부된 도면을 참고하여 종래의 MPEG-2 디코딩 장치를 설명하면 다음과 같다.
- <24> 도 1은 종래 기술의 클럭 복원 장치의 개략적인 구성도이고, 도 2는 종래 기술의 다른 클럭 복원 장치의 구성도이다.
- <25> 도 1에서와 같이, 종래 기술의 클럭 복원 장치는 감산부(subtractor)(1), LFP/이득 조정부(Lowpass filter/gain)(2), STC 카운터(System Time Clock counter)(3), VCO(Voltage Controlled Oscillator)(4)로 구성된다.
- <26> 여기서, 상기 감산부(1)는 입력 단자를 통해 입력한 비트 스트림으로부터 PCR을 추출하는 PCR 추출부(도시되지 않음)에서 추출된 첫 번째 PCR값과 시스템 시간 클럭(STC : System Time Clock)값의 차를 감산하여 출력한다.
- <27> 그리고 상기 STC 카운터(3)는 상기 PCR 추출부에서 추출된 PCR값과 VCO(4)로부터 출력되는 시스템 클럭 주파수(system clock frequency)를 카운팅하여, 카운팅된 STC값을 감산부(1)로 출력한다.

- <28> 그리고 상기 LPF/이득 조정부(2)는 감산부(1)로부터 감산된 결과값을 입력하여 로우 패스 필터링한후 VCO(4)로 출력하고, 상기 VCO(4)는 로컬 클럭 주파수를 가변한 후 STC 카운터(3) 및 출력 단자를 통해 27MHz의 시스템 클럭 주파수를 출력한다.
- <29> 이와 같은 클럭 복원 장치는 입력된 PCR 값을 STC 카운터(3) 및 VCO(4)로부터 시스템 클럭 주파수를 27MHz 클럭으로 증가시킨다.
- <30> 그리고 새로운 PCR값이 입력되면 그 시점의 STC값과 그 PCR값의 차를 구해 LPF/이득 조정부(2)를 거친 후 VCO(4)로 입력되어 27MHz 클럭을 출력하도록 하여 인코더에서의 27MHz의 클럭과 일치되도록 하는 것이다.
- <31> 도 2는 새로운 PCR값이 입력되면 그 시점의 STC값과 PCR값을 MCU로 보내 그 차를 구하는 클럭 복원 장치를 나타낸 것이다.
- <32> 그 구성은 STC 카운터(1), PCR 레지스터(2), STC 레지스터(3), PWM(4), MCU(7), LPF/이득 조정부(5), VCO(6)로 구성된다.
- <33> 여기서, 상기 STC 카운터(1)는 PCR 추출부(도시되지 않음)로부터 추출된 PCR값과 VCO(6)에서 출력되는 시스템 클럭 주파수를 받아 카운팅하여 증가된 STC값을 출력한다.
- <34> 그리고 상기 PCR 레지스터(2)는 PCR 추출부로부터 추출된 PCR값을 임시 저장하며, 상기 STC 레지스터(3)는 STC 카운터(1)에서 출력되는 STC값을 임시 저장한다.
- <35> 또한, 상기 MCU(7)는 PCR 레지스터(2)와 STC 레지스터(3)에 임시 저장된 PCR값과 STC값을 받아 두 값의 차를 계산하여 출력하고, 상기 PWM(Pulse Width Modulator)(4)는 MCU(7)에서 계산한 PCR값과 STC값의 차를 받아 두 값의 차에 대응하는 PWM 신호를 발생하여 LPF/이득 조정부(5)로 출력한다.

- <36> 그리고 상기 LPF/이득 조정부(5)는 PWM(4)로부터 PWM 신호를 로우 패스 필터링 및 이득을 조정하여 얻어지는 아날로그 전압신호를 출력하여 VCO(6)를 구동한다.
- <37> 그리고 상기 VCO(6)는 로컬 클럭 주파수를 가변한 후 STC 카운터(1) 및 출력단자를 통해 27MHz의 시스템 클럭 주파수(system clock frequency)를 출력한다.
- <38> 그리고 다음에서 언급되는 동작 설명은 1994. 11. 13 스위스 제네바에서 ISO Moving Picture Experts Group(MPEG)에 의해 드래프트(draft)가 제안된 ISO/IEC JTC1/SC29/WG11N 0801에 관한 것으로, 구체적으로 여러 오디오, 비디오, 부가 데이터를 비트 스트림으로 멀티-플렉싱(multi-flexing)하고 디멀티 플렉싱 하는 것에 관한 것이다.
- <39> 그리고 도 3은 트랜스포트 스트림 신택스의 다이어그램이고, 도 4는 PES 패킷 신택스의 다이어그램이다.
- <40> MPEG-2 표준은 여러 소오스의 디지털 정보를 패킷에 담아서 전송하는 규격을 제시한다.
- <41> 이 전송 패킷의 신택스(syntax)는 도 3에서와 같이, 모든 비디오, 오디오, 부가 데이터는 이 패킷 형태로 전송된다. 여기서, 비디오, 오디오, 부가 데이터에 따라 PID를 각각 다르게 사용한다.
- <42> 그리고 오디오, 비디오는 도 4에서와 같이, PES 패킷(packet)의 형태로 만들어지고, 도 3의 전송 패킷 형태로 바뀌어서 전송된다.
- <43> 이때 립 싱크로테이션(Lip synchronization) 문제가 발생한다.
- <44> 상기과 같은 문제를 해결하기 위하여 MPEG-2에서는 전송 패킷(transport packet)

- 헤더에 있는 PCR과 PES 헤더에 있는 DTS, PTS로 립 싱크로테이션(Lip synchronization)을 맞추는 것을 제안하고 있다.
- <45> 먼저, 인코더에서 27MHz 클럭으로 증가시킨 카운터 값을, 전송 패킷 헤더의 PCR 위치에 넣어서 전송시키고, 또 연속적으로 증가하는 이 카운터 값의 어느 시점을 오디오나 비디오의 디코딩(DTS)이나 프리젠테이션(PTS)값으로 해서 PES 헤더에 넣어 전송한다.
- <46> 상기와 같은 작업을 타임 스탬프(time stamp)라 한다.
- <47> 이어, 디코더에서는 처음 받은 PCR값을 STC라 하고 역시 이를 27MHz 클럭으로 증가시킨다.
- <48> 이 상태에서 PES 헤더에 있는 DTS값을 만나면 증가된 STC값을 가져와 비교해 보고 오차 범위 이내에 있으면 디코딩(decoding)한다.
- <49> 마찬가지로 PES 헤더에 있는 PTS값을 만나면 그 시점의 STC값을 가져와 비교해 보고 오차 범위 이내에 있으면 프리젠테이션(PTS)한다.
- <50> 이들 중에서 PCR에 대해서 살펴보면, PCR 값은 33비트의 PCR-베이스(base)값과 9비트의 PCR-확장(extension)값으로 전송된다.
- <51> 모두 42 비트로 이루어진 PCR 값과 27MHz의 주파수로 카운트한 값으로, PCR-베이스(33비트)만을 보면, 90KHz 단위의 값인 것을 알 수 있다.
- <52> 여기서, PCR이 모드 42비트로 이루어진 이유는 최하위 비트(LSB : Least Signification Bit)당 27MHz 단위로 24시간의 범위를 표현할 수 있도록 하기 위해서이다.
- <53> 그리고 33비트의 PCR-베이스 값은 33비트로 전송되는 오디오/비디오의 프리젠테이

선 시간 스탬프(PTS : Presentation Time Stamp)값과 비교되어 인코더에 의해 정해진 시각에 정확히 디스플레이 함으로서, 프리젠테이션 동기를 이룰 수 있게 하기 위한 것이다.

<54> 한편, 상기 9비트의 PCR-확장을 27MHz 클럭으로 증가시키고 300이 되면 PCR-베이스의 값을 1 증가시킨다.

<55> 그러면 33비트 PCR-베이스는 90KHz에 동기되는 카운터 값이 되고, 상기 PCR값은 100ms이내에 한 번씩 전송된다.

<56> 여기서 만약, 인코더에서 사용한 27MHz 클럭과 디코더의 27MHz 클럭이 정확히 일치하지 않으면 문제가 발생할 수 있다.

<57> 예를 들어, 디코더의 27MHz 클럭이 정확한 27MHz 보다 약간 느리면, 디코더에서 DTS나 PTS를 만나서 STC값과 비교했을 때 DTS나 PTS가 STC값 보다 오차 범위 이상으로 크게 되어 이를 건너뛰어(Skip) 계속 버퍼 앰티(buffer empty)가 되게 되고, 반대의 경우가 되면 버퍼 풀(buffer full)이 된다.

<58> 이를 방지하게 위해 MPEG-2의 표준(standard)은 PLL을 사용한 로킹(locking) 등을 제안한다.

【발명이 이루고자 하는 기술적 과제】

<59> 그러나 이와 같은 종래의 MPEG-2 디코더의 클럭 복원 장치에 있어서는 다음과 같은 문제점이 있다.

<60> MPEG-2 표준을 채택한 디지털 TV에서는 방송용 1개의 채널에 최대 5~6개의 프로그램 램을 넣어서 전송할 수 있다.

- <61> 만약, MPEG-2 디코더 장치가 이 신호를 수신하여 5~6개의 프로그램 모두를 디코딩하는 경우, 각각의 프로그램이 독자적인 STC를 가질 수 있으므로 각각에 해당하는 카운터, 로우 패스 필터, 감산기, VCO가 필요하게 된다.
- <62> 이는 하드웨어적인 복잡도를 증가시켜 비효율적이다.
- <63> 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 멀티 디코딩시 STC값의 관리 및 보정을 위한 구성을 간단히 함과 동시에 STC값의 정확도를 향상시키도록 한 엠팩 디코더의 시스템 타임 클럭 조정 장치 및 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <64> 이와 같은 목적을 달성하기 위한 본 발명에 따른 엠팩 디코더의 시스템 타임 클럭 조정 장치는 n 개의 PCR값(PCR1, PCR2, ..., PCRn) 및 STC값을 받아 그 차를 계산하여 출력하는 제 1 감산부; 현재 PCR값으로 받은 것이 2번 이상 업데이트되었는가를 판단하는 제어부; 상기 제어부의 제어에 의해 PCR값이 2번 이상 업데이트 된 것이 아니면 상기 제 1 감산부의 차를 저장하는 n 개의 DIF 레지스터부 그리고 PCR값이 2번 이상 업데이트된 것이면 상기 제 1 감산부의 출력값과 상기 n 개의 DIF 레지스터부에 저장된 값의 차(GAP)를 계산하여 n 개의 GAP 레지스터부에 저장하는 제 2 감산부; 상기 각 GAP 레지스터부에 저장된 제 2 감산부의 결과 값을 받아 평균값을 구하는 MEAN 계산부; 상기 MEAN 계산부의 출력 값을 로우 패스 필터링 및 이득을 조정하여 출력하는 LPF/이득 조정부; 상기 LPF/이득 조정부에서 로우 패스 필터링된 값을 받아 27MHz 클럭으로 증가시키어 출력하는 전압 제어 발진부 그리고 출력되는 27MHz 클럭을 카운팅하여 상기 제 1 감산부로 출력하는 임시 STC 카운터부를 포함하여 구성되는 것을 특징으로 하고, 본 발명에 따른 엠팩 디코더의 시스템 타임 클럭 조정 방법은 초기 리셋 단계를 거쳐 Temp_STC값을 27Mhz

로 증가시키는 단계; 상기 Temp_STC값을 받아 PCR값의 유무를 검출하여 그 시점의 Temp_STC값을 로딩하는 단계; 상기 검출된 PCR값과 로딩된 Temp_STC값의 차를 계산하여 제 1 결과값을 구하고 현재의 PCR값이 2번 이상 업데이트되었는가를 판단하는 단계; 판단 결과에 따라 제 1 결과값을 해당 레지스터에 저장하고 PCR값 검출 단계로 다시 복귀하거나, 제 1 결과값과 이전 단계에서 저장되었던 해당 레지스터의 값과의 차를 계산하여 제 2 결과값을 구하는 단계; 상기 제 1 결과값을 업데이트시키고 제 2 결과값을 저장하는 단계; 전체의 PCR값이 두 번 이상 업데이트되었는가를 판단하여 두 번 이상 업데이트 되었다면 제 2 결과값의 평균값을 구하고 아니면 초기의 PCR값 검출 단계로 복귀하는 단계; 제 2 결과값의 평균값을 이용하여 조정된 27Mhz의 클럭을 출력하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<65> 이하, 첨부된 도면을 참고하여 본 발명에 따른 엠팩 디코더의 시스템 타임 클럭 조정 장치 및 방법에 관하여 상세히 설명하면 다음과 같다.

<66> 도 5는 본 발명의 제 1 실시예에 따른 시스템 타임 클럭 조정 장치의 구성 블록도이고, 도 6은 본 발명의 제 1 실시예에 따른 STC 조정 방법을 나타낸 플로우 차트이다.

<67> 본 발명에 따른 시스템 타임 클럭 조정 장치는 n 개의 PCR값(PCR1, PCR2, ..., PCRn) 및 STC값을 받아 그 차를 계산하여 출력하는 제 1 감산부(51)와, 현재 PCR값으로 받은 것이 2번 이상 업데이트되었는가를 판단하는 제어부(52)와, 상기 제어부(52)의 제어에 의해 PCR값이 2번 이상 업데이트 된 것이 아니면 상기 제 1 감산부(51)의 차를 저장하는 n 개의 DIF 레지스터부(DIFference registers)(53)와, 상기 제어부(52)의 제어에 의해 PCR값이 2번 이상 업데이트된 것이면 상기 제 1 감산부(51)의 출력값과 상기 n 개의 DIF 레지스터부(53)에 저장된 값의 차(GAP)를 계산하는 제 2 감산부(54)와, 상기 제 2 감산

부(54)의 결과 값을 저장하는 n 개의 GAP 레지스터부(55)와, 상기 각 GAP 레지스터부(55)에 저장된 제 2 감산부(54)의 결과 값을 받아 평균값을 구하는 MEAN 계산부(56)와, 상기 MEAN 계산부(56)의 출력 값을 로우 패스 필터링 및 이득을 조정하여 출력하는 LPF/이득 조정부(58)와, 상기 LPF/이득 조정부(58)에서 로우 패스 필터링된 값을 받아 27MHz 클럭으로 증가시키어 출력하는 전압 제어 발진부(59)와, 상기 전압 제어 발진부(59)에서 출력되는 27MHz 클럭을 카운팅하여 상기 제 1 감산부(51)로 출력하는 임시 STC 카운터부(60)를 포함하여 구성된다.

<68> 한편, 상기 MEAN 계산부(56)의 출력 값은 PWM(Pulse Width Modulation) 제어부(57)를 통해 LPF/이득 조정부(58)로 입력된다.

<69> 그리고 상기 제어부(52)는 임시 STC 카운터부(60), 제 1 감산부(51) 및 제 2 감산부(54), MEAN 계산부(56)를 제어하고, 외부의 PCR 추출부(도시되지 않음)로부터 PCR 추출값을 받는다.

<70> 이와 같은 구성을 갖는 본 발명의 제 1 실시예에 따른 시스템 타임 클럭 장치의 STC 조정에 관하여 설명하면 다음과 같다.

<71> 도 6에서와 같이, DIF 레지스터부(53), GAP 레지스터부(55)를 리셋시키고, 임시 STC 카운터(60)를 리셋시키고 27MHz 클럭으로 Temp_STC값을 증가시킨다.(601S)

<72> 이어, 상기 증가된 Temp_STC값을 받아 PCR값의 유무(有無)를 검출한다.(602S)

<73> 이와 같은 PCR값의 검출 단계에서 PCR값이 검출되면 그 시점의 Temp_STC값을 제 1 감산부(51)로 로딩한다.(603S)

- <74> · 이어, 제 1 감산부(51)를 이용하여 상기 검출된 PCR값과 로딩된 Temp_STC값의 차를 계산하여 제 1 결과값을 구한다.(604S)
- <75> 그리고 현재의 PCR값이 2번 이상 업데이트되었는가를 판단한다.(605S)
- <76> 여기서, PCR값이 2번 이상 업데이트 된 것이 아니면 그 결과 즉, 검출된 PCR값과 로딩된 Temp_STC값의 차를 해당하는 DIF 레지스터에 저장하고 PCR값 검출 단계로 다시 복귀한다.(606S)
- <77> 그리고 PCR값이 2번 이상 업데이트되었다면 그 결과와 기존에 저장되었던 해당되는 DIF 레지스터의 값과의 차를 계산하여 제 2 결과값을 구한다.(607S)
- <78> 이어, 제 1 결과값을 DIF 레지스터에 업데이트시키고 제 2 결과값을 GAP 레지스터에 저장한다.(608S)
- <79> 그리고 전체의 PCR값이 두 번 이상 업데이트되었나를 판단하여(609S) 두번 이상 업데이트 되었다면 모든 GAP 레지스터의 평균값을 구하고(610S) 아니면 초기의 PCR값 검출 단계로 복귀한다.
- <80> 이어, 모든 GAP 레지스터의 평균값을 로우 패스 필터링 및 이득 조정을 하고(611S) 이 값을 VCO를 통해 임시 STC 카운터에 조정된 27MHz의 클럭을 출력한다.(612S)
- <81> 이와 같은 본 발명의 제 1 실시예에 따른 STC 조정 장치 및 방법은 멀티 디코딩시에 STC 카운터를 각각의 PCR값과 무관하게 사용할 수 있고, 각각의 PCR값과 기준이 되는 STC 카운터값의 차를 계속 저장할 수 있어 보다 정확한 STC 조정이 이루어지도록 한다.
- <82> 그리고 이하에 본발명의 제 2 실시예에 따른 STC 조정 장치 및 방법에 관하여 상세히 설명하면 다음과 같다.

- <83> 도 7은 본 발명의 제 2 실시예에 따른 시스템 타임 클럭 조정 장치의 구성 블록도이고, 도 8은 본 발명의 제 2 실시예에 따른 STC 조정 방법을 나타낸 플로우 차트이다.
- <84> 본 발명의 제 2 실시예에 따른 시스템 타임 클럭 조정 장치는 임시 STC값을 저장하는 n개의 임시 STC 레지스터를 포함하고, 감산부를 채택하지 않고 MCU를 이용한 인터럽트 제어 기능을 이용하여 STC를 조정하는 것이다.
- <85> 그 구성은 도 7에서와 같이, n 개의 PCR(PCR1, PCR2, ..., PCRn)을 각각 입력으로 받아 일시 저장하는 n 개의 레지스터로 이루어진 PCR 레지스터부(72)와, 27MHz 클럭으로 증가된 STC값을 받아 카운팅하는 임시 STC 카운터(71)와, 상기 임시 STC 카운터(71)에서 카운트된 n 개의 임시 STC 카운터값(Temp STC1, Temp STC2, ..., Temp STCn)을 일시 저장하는 임시 STC 레지스터부(74)와, 인터럽트 동작을 수행하여 상기 PCR 레지스터부(72)와 임시 STC 레지스터부(74)에 저장된 PCR값과 STC값을 읽어 그 차를 계산하는 MCU(73)와, 상기 MCU(73)로부터 읽어낸 PCR값과 STC값의 차를 계산한 n 개의 제 1 결과값(DIF1, DIF2, ..., DIFn)을 일시 저장하는 n 개의 레지스터로 이루어진 DIF 레지스터부(75)와, 상기 DIF 레지스터부(75)에서 저장된 값과 제 1 결과값의 차를 MCU(73)에서 계산하여 그 제 2 결과값을 일시 저장하는 n 개의 레지스터로 이루어진 GAP 레지스터부(76)와, 모든 PCR값이 2번 이상 업데이트되었는가를 체크하는 제어부(77)와, 상기 MCU(73)로부터 모든 레지스터들의 평균값을 받아 일시 저장하여 출력하는 PWM 제어부(78)와, 상기 PWM 제어부(78)에 저장된 평균값을 받아 로우 패스 필터링 및 이득을 조정하는 LPF/이득 조정부(79)와, 상기 로우 패스 필터링된 값을 받아 상기 임시 STC 카운터(71)를 증가시키기 위한 27MHz의 조정된 클럭을 출력하는 전압 제어 발진부(80)를 포함하여 구성된다.
- <86> 이와 같이 구성된 본 발명의 제 2 실시예에 따른 STC 조정 장치의 동작은 다음과

· 같이 이루어진다.

- <87> 도 8에서와 같이, DIF 레지스터부(75), PCR 레지스터부(72), 임시 STC 레지스터부(74), GAP 레지스터부(76)를 리셋하고 임시 STC 카운터(71)를 초기화하여 임시 STC 카운터(71)값을 27MHz 클럭으로 증가시킨다.(801S)
- <88> 이어, 상기 임시 STC 카운터(71)로 입력되는 각각의 PCR 값을 검출한다.(802S)
- <89> 여기서 검출된 PCR값과 임시 STC 카운터 값을 각각 해당되는 PCR 레지스터부(72)와 임시 STC 레지스터부(74)에 저장한다.(803S)
- <90> 이어, 인터럽트(Interrupt)를 실행하여 PCR 레지스터부(72), 임시 STC 레지스터부(74), DIF 레지스터부(75)의 저장값을 MCU(73)에서 읽어들인다.(804S)
- <91> 그리고 MCU(73)에서 (PCR - STC)의 제 1 결과값과 (DIF - 제 1 결과값)의 제 2 결과값을 각각 계산한다.(805S)
- <92> 그리고 MCU(73)에서 계산된 제 1 결과값을 해당되는 DIF 레지스터에 저장하고, 제 2 결과값을 해당되는 GAP 레지스터에 저장한다.(806S)
- <93> 이어, 모든 PCR값이 2번 이상 업데이트되었는가를 판단하는 단계를 수행한다.(807S)
- <94> 그리고 인터럽트를 실행하여 모든 GAP 레지스터의 저장값을 MCU(73)가 캐치한다.(808S)
- <95> MCU(73)에서 캐치한 모든 GAP 레지스터의 평균값을 구하고(809S) 구해진 평균값을 PWM 제어부에 저장한다.(810S)
- <96> 그리고 모든 GAP 레지스터의 평균값을 로우 패스 필터링 및 이득 조정을 하고

(811S) 이 값을 VCO를 통해 임시 STC 카운터에 조정된 27MHz의 클럭을 출력한다.(812S)

<97> 이와 같은 본 발명의 제 2 실시예에 따른 STC의 조정 방법에서 MCU에 인터럽트를 실행시킬 때 각각의 PCR마다 인터럽트를 걸면 MCU에 부담을 줄 수 있으므로 모든 PCR이 업데이트 완료된후에 1회만 인터럽트를 걸 수 있다.

<98> MPEG의 적용을 받는 엔코더와 디코더에서 사용되는 27Mhz의 클럭을 PLL을 사용하여 로킹(locking)하는 이유는 다음과 같다.

<99> 엔코더 및 디코더에서 정확하지 않은 27Mhz의 클럭, 재작업에 따른 지터, 재 멀티플렉싱의 지터, 엔코더와 디코더의 하드웨어 구현시에 구조적으로 발생할 수 있는 지연 등의 에러를 전파(propagation)시키지 않게 하여 균일한 지연(constant delay)를 유지하기 위한 것이다.

<100> 본 발명의 STC 조정 장치 및 방법을 이용하는 경우에는 멀티 디코딩시에 여러 STC를 기준 STC 카운터값과 각각의 PCR과의 차분값 그리고 현재 차분값과 전 차분값의 차이를 이용하여 상기한 에러의 전파를 억제할 수 있다.

【발명의 효과】

<101> 이와 같은 본 발명에 따른 엠팩 디코더의 시스템 타임 클럭 조정 장치 및 방법은 다음과 같은 효과가 있다.

<102> 엔코더 및 디코더에서 정확하지 않은 27Mhz의 클럭, 재작업에 따른 지터, 재 멀티플렉싱의 지터, 엔코더와 디코더의 하드웨어 구현시에 구조적으로 발생할 수 있는 지연 등의 에러가 전파(propagation)되는 것을 억제할 수 있다.

<103> 이는 멀티 디코딩시 간단한 하드웨어 구조로 다양한 STC 변화를 만족시키면서 효율

- 적으로 각 프로그램 또는 채널의 립 싱크로제네이션(Lip synchronization)을 맞출 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

n 개의 PCR값(PCR1, PCR2, ..., PCRN) 및 STC값을 받아 그 차를 계산하여 출력하는 제 1 감산부;

현재 PCR값으로 받은 것이 2번 이상 업데이트되었는가를 판단하는 제어부;

상기 제어부의 제어에 의해 PCR값이 2번 이상 업데이트 된 것이 아니면 상기 제 1 감산부의 차를 저장하는 n 개의 DIF 레지스터부 그리고 PCR값이 2번 이상 업데이트된 것 이면 상기 제 1 감산부의 출력값과 상기 n 개의 DIF 레지스터부에 저장된 값의 차(GAP)를 계산하여 n 개의 GAP 레지스터부에 저장하는 제 2 감산부;

상기 각 GAP 레지스터부에 저장된 제 2 감산부의 결과 값을 받아 평균값을 구하는 MEAN 계산부;

상기 MEAN 계산부의 출력 값을 로우 패스 필터링 및 이득을 조정하여 출력하는 LPF/이득 조정부;

상기 LPF/이득 조정부에서 로우 패스 필터링된 값을 받아 27MHz 클럭으로 증가시키 어 출력하는 전압 제어 발진부 그리고 출력되는 27MHz 클럭을 카운팅하여 상기 제 1 감산부로 출력하는 임시 STC 카운터부를 포함하여 구성되는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 장치.

【청구항 2】

제 1 항에 있어서, MEAN 계산부의 출력 값은 PWM(Pulse Width Modulation) 제어부

를 통해 LPF/이득 조정부로 입력되는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 장치.

【청구항 3】

제 1 항에 있어서, 제어부는 임시 STC 카운터부, 제 1 감산부, 제 2 감산부, MEAN 계산부를 제어하고, 외부에서 PCR 추출값을 받는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 장치.

【청구항 4】

제 1 항에 있어서, n 개의 PCR값(PCR1, PCR2, ..., PCRn) 및 STC값을 받아 그 차를 계산하기 전에 DIF 레지스터부, GAP 레지스터부, 임시 STC 카운터가 리셋되는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 장치.

【청구항 5】

초기 리셋 단계를 거쳐 Temp_STC값을 27Mhz로 증가시키는 단계;

상기 Temp_STC값을 받아 PCR값의 유무를 검출하여 그 시점의 Temp_STC값을 로딩하는 단계;

상기 검출된 PCR값과 로딩된 Temp_STC값의 차를 계산하여 제 1 결과값을 구하고 현재의 PCR값이 2번 이상 업데이트되었는가를 판단하는 단계;

판단 결과에 따라 제 1 결과값을 해당 레지스터에 저장하고 PCR값 검출 단계로 다시 복귀하거나, 제 1 결과값과 이전 단계에서 저장되었던 해당 레지스터의 값과의 차를 계산하여 제 2 결과값을 구하는 단계;

상기 제 1 결과값을 업데이트시키고 제 2 결과값을 저장하는 단계;

전체의 PCR값이 두 번 이상 업데이트되었나를 판단하여 두 번 이상 업데이트 되었다면 제 2 결과값의 평균값을 구하고 아니면 초기의 PCR값 검출 단계로 복귀하는 단계;

제 2 결과값의 평균값을 이용하여 조정된 27Mhz의 클럭을 출력하는 단계를 포함하여 이루어지는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 방법.

【청구항 6】

제 5 항에 있어서, 현재의 PCR값이 2번 이상 업데이트되었는가를 판단하여 2번 이상 업데이트된 것이 아니면 제 1 결과값을 해당 레지스터에 저장하고 PCR값 검출 단계로 다시 복귀하고, 2번 이상 업데이트된 것이면 제 1 결과값과 이전 단계에서 저장되었던 해당 레지스터의 값과의 차를 계산하여 제 2 결과값을 구하는 단계를 수행하는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 방법.

【청구항 7】

n 개의 PCR(PCR1, PCR2, ..., PCRN)을 일시 저장하는 PCR 레지스터부;

27MHz 클럭으로 증가된 STC값을 받아 카운팅하는 임시 STC 카운터;

상기 카운트된 n 개의 임시 STC 카운터값(Temp STC1, Temp STC2, ..., Temp STCn)을 일시 저장하는 임시 STC 레지스터부;

인터럽트 동작을 수행하여 상기 저장된 PCR값과 STC 카운트값을 읽어 그 차를 계산하는 MCU;

상기 MCU로부터 읽어낸 PCR값과 STC값의 차를 계산한 n 개의 제 1 결과값(DIF1, DIF2, ..., DIFn)을 일시 저장하는 DIF 레지스터부;

· 상기 DIF 레지스터부의 저장된 값과 제 1 결과값의 차를 MCU에서 계산하여 그 제 2 결과값을 일시 저장하는 GAP 레지스터부;

모든 PCR값이 2번 이상 업데이트되었는가를 체크하는 제어부;

상기 MCU로부터 모든 레지스터들의 평균값을 받아 일시 저장하여 출력하는 PWM 제어부;

상기 PWM 제어부에 저장된 평균값을 받아 로우 패스 필터링 및 이득을 조정하는 LPF/이득 조정부;

상기 로우 패스 필터링된 값을 받아 상기 임시 STC 카운터를 증가시키기 위한 27MHz의 조정된 클럭을 출력하는 전압 제어 발진부를 포함하여 구성되는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 장치.

【청구항 8】

제 7 항에 있어서, n 개의 PCR(PCR1, PCR2, ..., PCRn)을 일시 저장하기 전에 DIF 레지스터부, PCR 레지스터부, 임시 STC 레지스터부, GAP 레지스터부, 임시 STC 카운터를 초기화하여 임시 STC 카운터값을 27MHz 클럭으로 증가시키는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 장치.

【청구항 9】

초기 리셋 단계를 거쳐 임시 STC 카운터값을 27MHz 클럭으로 증가시키는 단계;

각각의 PCR 값을 검출하고 검출된 PCR값과 임시 STC 카운터 값을 각각 저장하는 단계;

· 인터럽트를 실행하여 저장된 PCR값, 임시 STC 카운터값을 읽어 들여 (PCR - STC)의 제 1 결과값과 (DIF - 제 1 결과값)의 제 2 결과값을 각각 계산하는 단계;

계산된 제 1 결과값을 해당 레지스터에 저장하고, 제 2 결과값을 해당되는 레지스터에 저장하는 단계;

모든 PCR값이 2번 이상 업데이트되었는가를 판단하여 인터럽트를 실행하여 모든 제 2 결과값을 캐치하는 단계;

캐치된 모든 제 2 결과값의 평균값을 구하고 평균값을 저장하는 단계;

상기 저장된 평균값을 이용하여 조정된 27MHz의 클럭을 출력하는 단계를 포함하여 이루어지는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 방법.

【청구항 10】

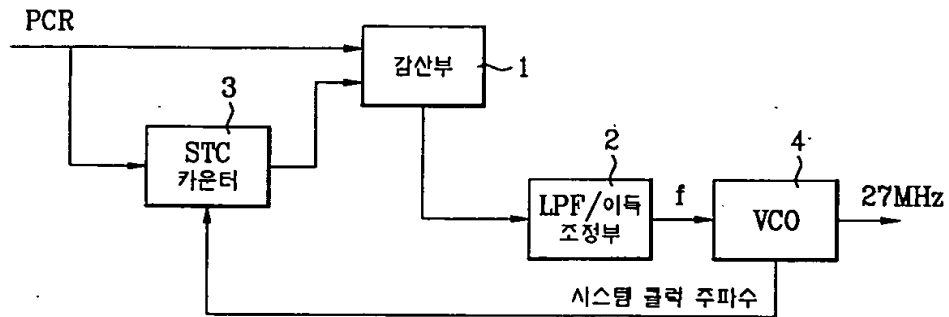
제 9 항에 있어서, 인터럽트를 실행시킬 때 각각의 PCR 마다 인터럽트를 실행하지 않고 모든 PCR이 업데이트 완료된후에 1회만 인터럽트를 실행하는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 방법.

【청구항 11】

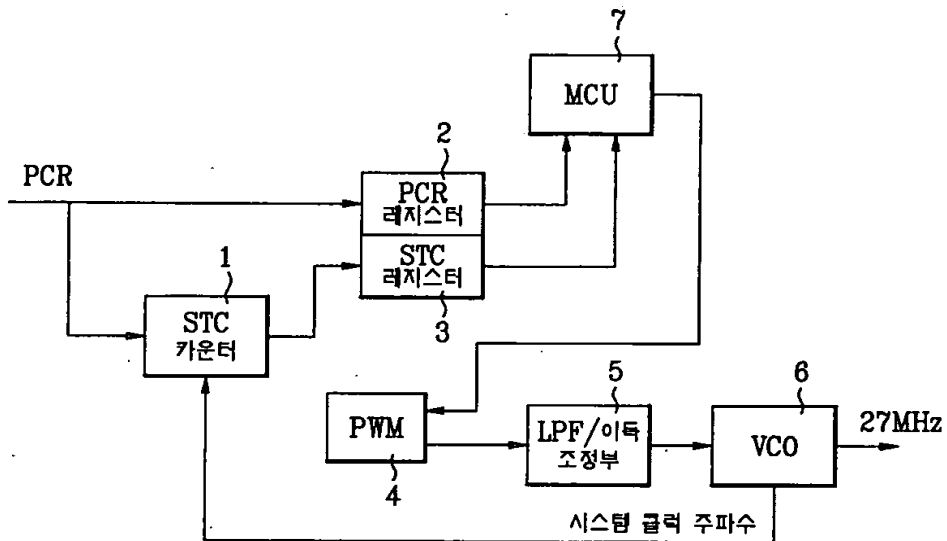
제 9 항에 있어서, 모든 PCR값이 2번 이상 업데이트되었는가를 판단하는 단계에서 2번 이상 업데이트가 이루어지지 않았다면, PCR값을 검출하는 단계로 복귀하는 것을 특징으로 하는 엠팩 디코더의 시스템 타임 클럭 조정 방법.

【도면】

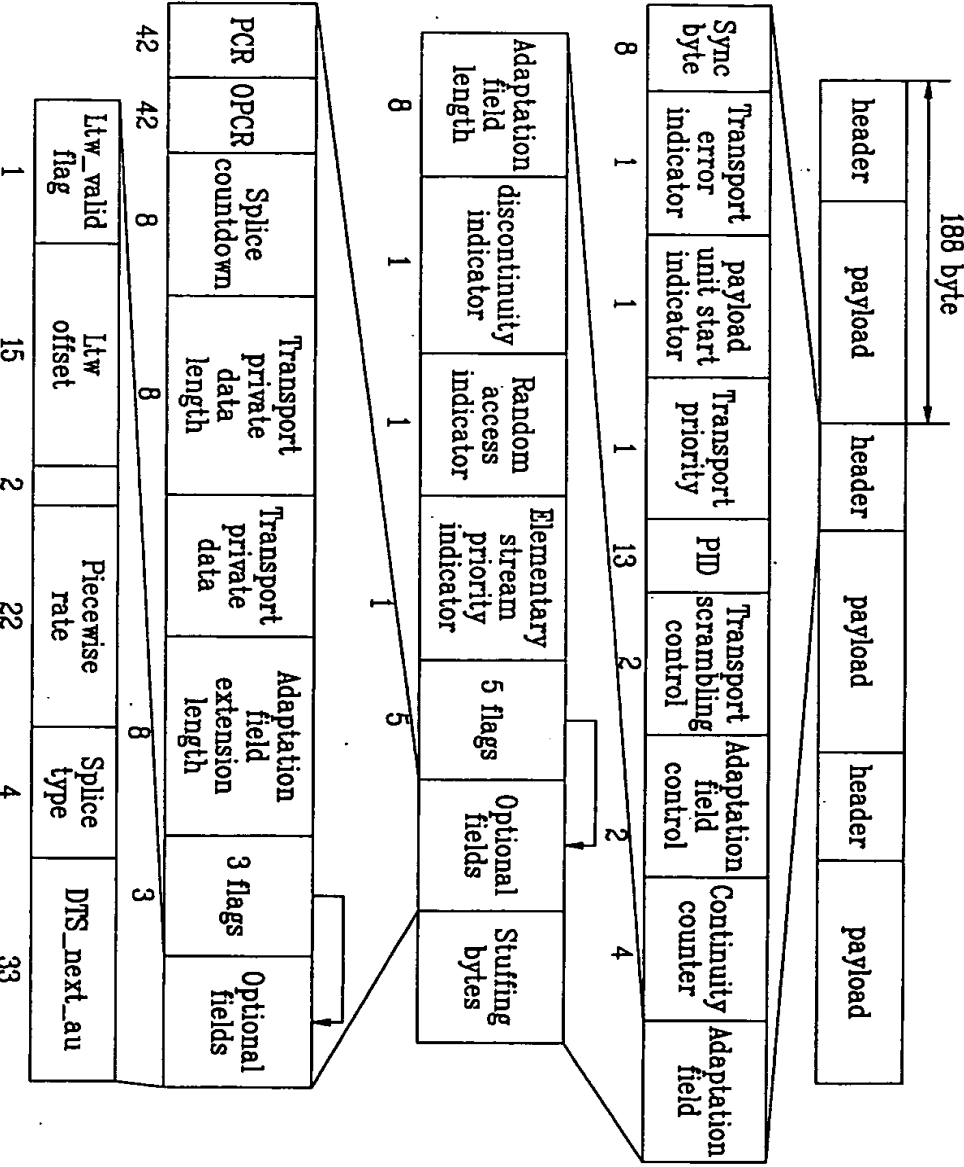
【도 1】



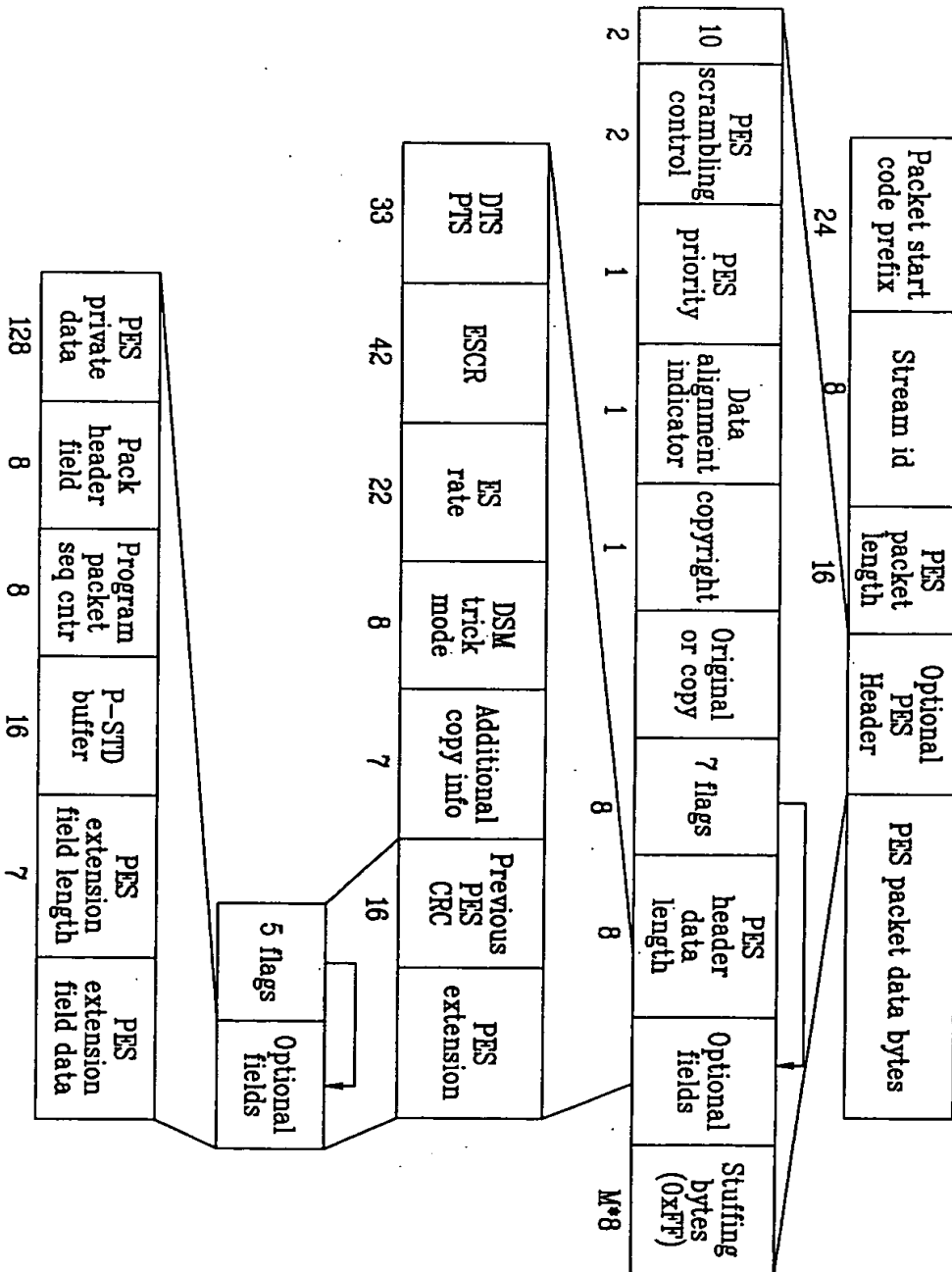
【도 2】



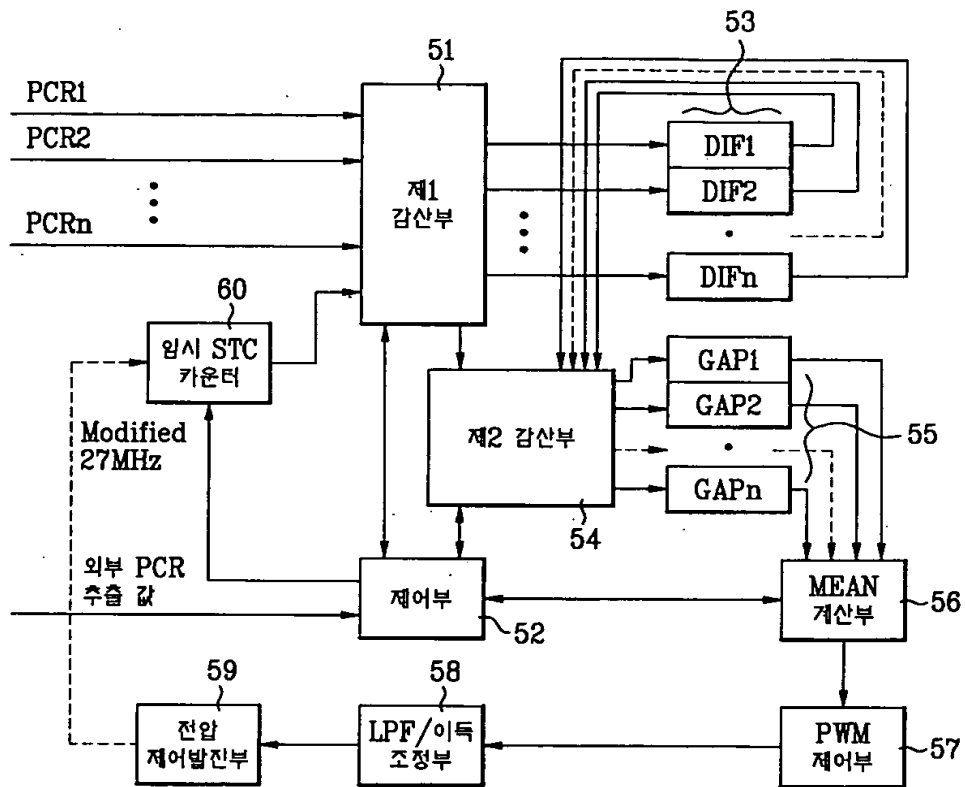
【图 3】



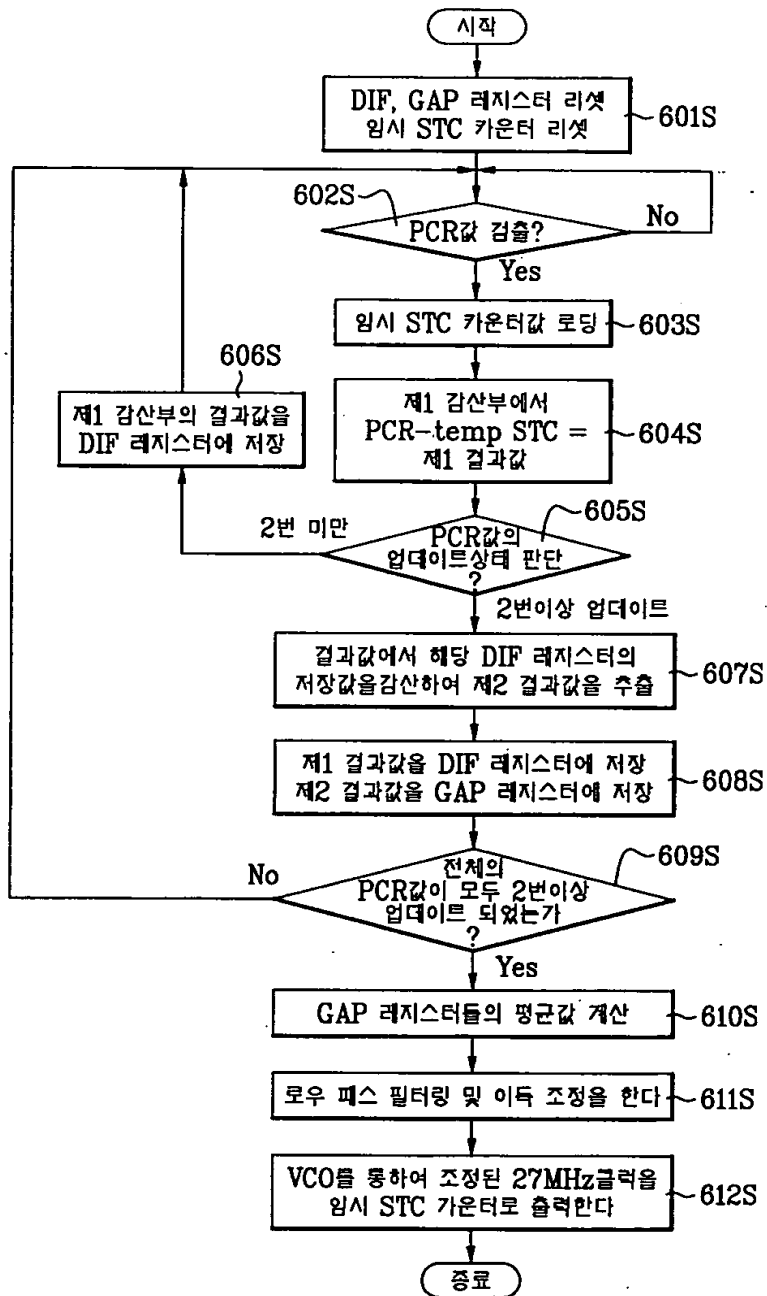
【图4】



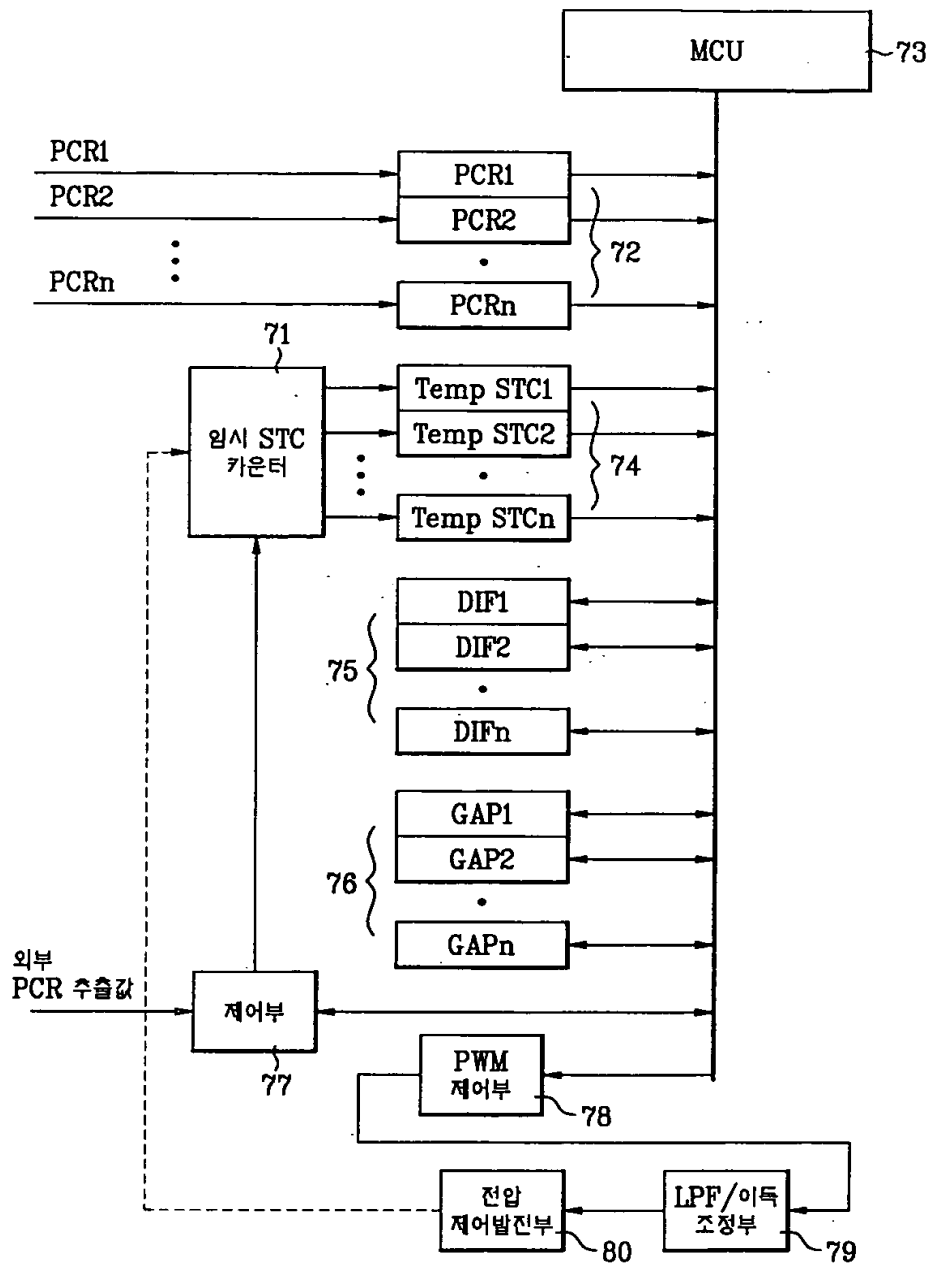
【도 5】



【도 6】



【도 7】



【도 8】

